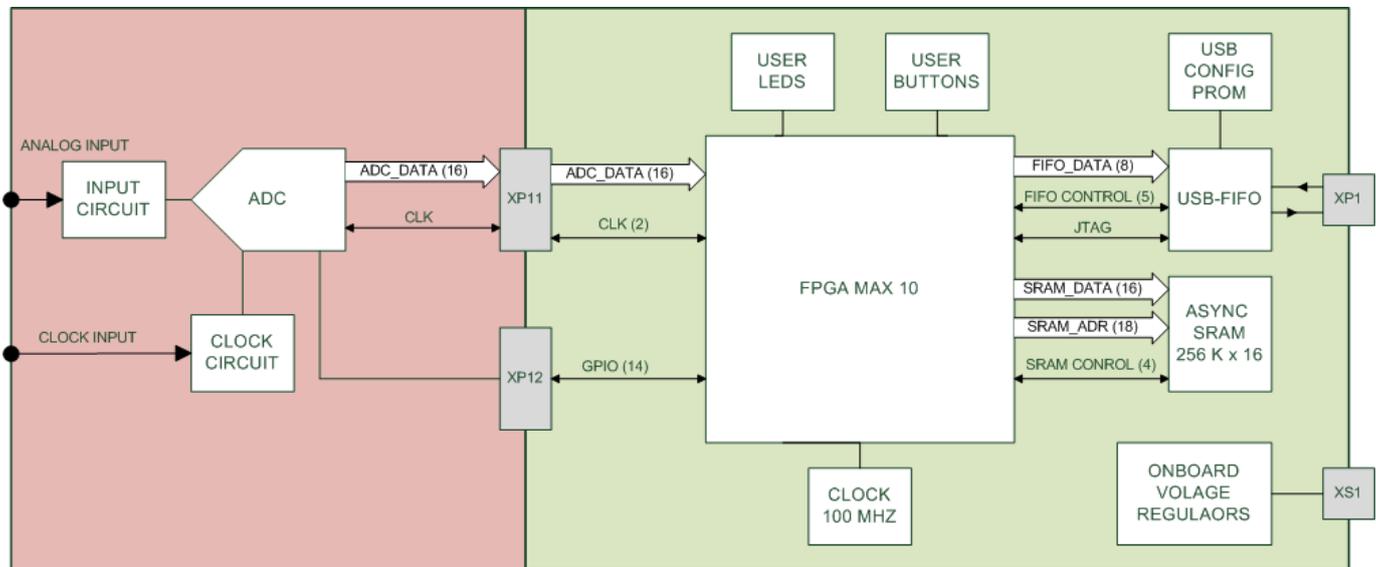




Функциональная блок-схема



Особенности

- ПЛИС Intel MAX 10 для сбора цифровых данных и управления процессом оценки характеристик АЦП
- 512 кбайт SRAM памяти для хранения выборки АЦП
- Параллельная входная шина данных, поддерживающая 16-ти разрядные АЦП с частотой преобразования до 100 МГц
- CMOS интерфейс с напряжениями 1.8, 2.5, 3.3 и 5 В
- USB-FIFO мост для обмена данными с ПК со скоростью 320 Мбит/с (интерфейс USB 2.0)
- Реконфигурация ПЛИС через USB интерфейс посредством встроенного программатора
- Совместимость программатора с программным обеспечением Intel
- Встроенный генератор тактовых сигналов
- Питание от USB порта ПК или от внешнего источника постоянного напряжения 5 В 0.5 А

Сферы применения

- Измерение статических характеристик АЦП (INL, DNL, OE, GE)
- Измерение динамических характеристик АЦП (SNR, SINAD, SFDR, THD, ENOB)
- Сбор и обработка цифровых данных
- Управление измерительными стендами

Необходимое оборудование

- Оценочная плата АЦП, совместимая с данной платой сбора данных
- Персональный компьютер с операционной системой Windows 7 или Windows 8.1
- Программное обеспечение для конкретной микросхемы АЦП
- Кабель для подключения платы к ПК типа USB-A – USB-B

Содержание

Функциональная блок-схема	1
Особенности	1
Сферы применения	1
Необходимое оборудование	1
Устройство платы сбора данных	3
Совместимость с другими продуктами	3
Функциональные возможности платы	4
Начало работы с измерительным комплексом	4
Настройка измерительного комплекса	4
Блоки перемычек	5
Настройка напряжения питания для платы	6
Интерфейс соединения с оценочной платой	6
Альбом принципиальных электрических схем	9
Чертежи слоев печатной платы	13

Устройство платы сбора данных

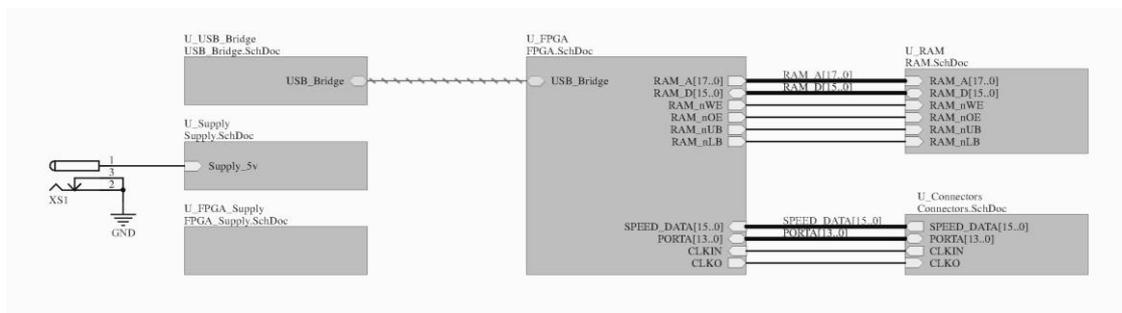


Рис. 1. Блок-схема устройства платы сбора данных

Данный продукт предназначен для высокоскоростного сбора данных с измеряемых образцов микросхем АЦП и используется совместно с программой обработки результатов для персонального компьютера. Плата сбора данных подключается к компьютеру через интерфейс USB. В своём составе аппаратный комплекс имеет блок FPGA для быстрой реконфигурации системы под различные режимы измерений, а также блок SRAM для хранения выборки полученных в ходе измерений данных.

Плата сбора данных TI-DAB-16/100M в качестве главного компонента управления использует микросхему FPGA серии MAX10 (10M50SAE144C8GES). Микросхема FPGA сконфигурирована для проведения испытания статических и динамических характеристик исследуемой микросхемы АЦП. Собранные в процессе измерений данные передаются на компьютер посредством микросхемы USB-моста FT2232HL.

Разъёмное соединение платы сбора данных с оценочной платой АЦП осуществляется через коннекторы XP11 и XP12. Плата сбора данных имеет в своём составе выход тактового сигнала для оценочной платы АЦП (CLKO) и вход синхронизации (CLKI). Для формирования управляющих АЦП сигналов используется выходной порт А (PORTA). Его режим работы зависит от выбранной отладочной платы АЦП. Входная шина данных SPEED_DATA предназначена для сбора поступающих с исследуемой микросхемы АЦП данных. Также в микросхеме FPGA реализован SPI Master интерфейс для работы с настраиваемой периферией, расположенной на оценочной плате АЦП. Напряжения, на которых будут работать цифровые входы/выходы микросхемы FPGA, можно задавать при помощи блока перемычек V_SEL (табл.3).

Для проведения динамических тестов плата сбора данных имеет в своём составе микросхему памяти IS61WV25616BLL-10TLI. В процессе проведения динамических измерений тестовая выборка данных сохраняется в памяти микросхемы, после чего считывается и передаётся на компьютер через интерфейс USB.

Примечание: Для обмена информацией с персональным компьютером плата сбора данных использует микросхему USB-моста производства компании FTDI. Для корректной работы измерительного комплекса необходима установка на компьютер драйвера D2XX for Windows.

Совместимость с другими продуктами

TI-EAB-10/12b

Функциональные возможности платы

В первую очередь, функционал платы сбора данных рассчитан на проведение измерений статических и динамических характеристик микросхем АЦП в составе комплекса, состоящего, помимо платы сбора данных, из отладочной платы АЦП и персонального компьютера с интерфейсом USB, на который установлено программное обеспечение для исследуемой микросхемы АЦП.

Органами управления процессом измерений служат блоки переключателей и расположенные на плате кнопки. Для перезапуска тестового стенда в случае возникновения неисправности служат кнопки SA1 и SA7 с подписью RESET.

Мерцание светодиода LED0(HL3) указывает на готовность платы сбора данных к работе. Для функционирования индикации, на блоке переключателей XP8 необходимо установить соответствующую LED0(HL3) переключку.

Начало работы с измерительным комплексом

Необходимое оборудование:

- оценочная плата АЦП, совместимая с данной платой сбора данных
- персональный компьютер с операционной системой Windows 7 или Windows 8.1
- программное обеспечение для конкретной микросхемы АЦП
- кабель для подключения платы к ПК типа USB-A – USB-B
- источник постоянного напряжения для оценочной платы АЦП

Примечание: Для работы с программным обеспечением измерительного комплекса необходимы права администратора.

Настройка измерительного комплекса

1. Установите интересующий Вас режим работы платы сбора данных, используя переключки (см. раздел Блоки переключателей).
2. Установите программное обеспечение для исследуемой микросхемы АЦП на Ваш персональный компьютер.
3. Подключите оценочную плату АЦП к плате сбора данных.
4. Соедините кабелем типа USB-A – USB-B плату сбора данных и Ваш персональный компьютер.
5. Подключите оценочную плату АЦП к источнику постоянного напряжения.
6. Произведите настройку оценочной платы АЦП согласно её техническому описанию.
7. Запустите программное обеспечение для исследуемой микросхемы АЦП и настройте его работу согласно инструкции.

Блоки перемычек

Таблица 1. Выбор источника питания для платы сбора данных

XP3	Положение Pin 1 и Pin 2	Питание осуществляется через коннектор XS1
XP3	Положение Pin 3 и Pin 2	Питание осуществляется через разъем USB

Таблица 2. Отключение питания платы: IMEAS

XP4	Замкнуто	Входное напряжение питает плату
XP4	Разомкнуто	Входное напряжение не питает плату

Таблица 3. Выбор напряжения питания цифровых входов/выходов платы: V_SEL

XP10	Положение Pin 1 и Pin 2	+5V, выбор напряжения 5 В
XP10	Положение Pin 3 и Pin 4	+3V3, выбор напряжения 3,3 В
XP10	Положение Pin 5 и Pin 6	+2V5, выбор напряжения 2,5 В
XP10	Положение Pin 7 и Pin 8	+1V8, выбор напряжения 1,8 В
XP10	Положение Pin 9 и Pin 10	ADJ, выбор настраиваемого напряжения

Таблица 4. Выбор режима работы USB-моста: PWREN#

XP2	Замкнуто	Мост находится в неактивном состоянии
XP2	Разомкнуто	Мост находится в активном состоянии

Таблица 5. Подключение к PORTB[0..5] светодиодов, расположенных на плате: LEDS

XP8	Положение Pin 3 и Pin 4	Коммутация LED5
XP8	Положение Pin 5 и Pin 6	Коммутация LED4
XP8	Положение Pin 7 и Pin 8	Коммутация LED3
XP8	Положение Pin 9 и Pin 10	Коммутация LED2
XP8	Положение Pin 11 и Pin 12	Коммутация LED1
XP8	Положение Pin 13 и Pin 14	Коммутация LED0

Настройка напряжения питания для платы

По умолчанию для питания платы используется гнездо USB-A, что установлено положением переключки XP3. При несоответствии выходного тока/напряжения USB порта требованию 5В/0.5А для питания платы можно использовать отдельный блок питания, удовлетворяющий заявленным требованиям, подключив его к гнезду XS1 и переставив переключку XP3 в положение работы платы от внешнего источника напряжения.

Для экстренного отключения напряжения питания платы или для измерения её тока потребления можно использовать переключку IMEAS (XP4).

Интерфейс соединения с оценочной платой

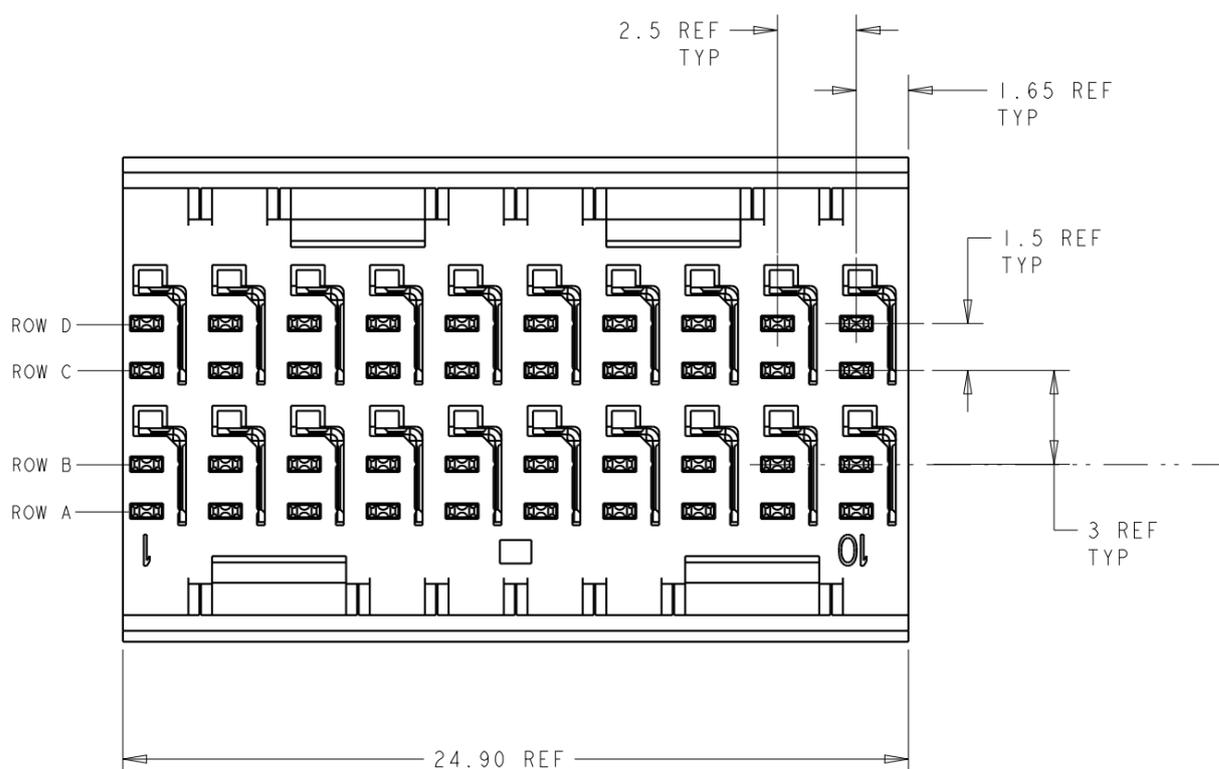


Рис. 2. Чертёж разъёма 6469169-1

Для соединения платы сбора данных с оценочной платой АЦП используются два разъёма с шифром 6469169-1, расположенные на краю платы (XP11, XP12). Через эти разъёмы коммутируются с оценочной платой порты ввода/вывода, указанные в таблицах 6-7.

Таблица 6. Назначение контактов разъема XP11

Разъем	Контакт	Назначение
XP11	B1	Speed_Data_1
XP11	B2	Speed_Data_3
XP11	B3	Speed_Data_5
XP11	B4	Speed_Data_6
XP11	B5	Speed_Data_7
XP11	B6	Speed_Data_9
XP11	B7	Speed_Data_11
XP11	B8	Speed_Data_13
XP11	B9	GND
XP11	B10	GND
XP11	D1	Speed_Data_0
XP11	D2	Speed_Data_2
XP11	D3	Speed_Data_4
XP11	D4	CLKO
XP11	D5	CLKI
XP11	D6	Speed_Data_8
XP11	D7	Speed_Data_10
XP11	D8	Speed_Data_12
XP11	D9	Speed_Data_14
XP11	D10	Speed_Data_15
XP11	A1	GND
XP11	A2	GND
XP11	A3	GND
XP11	A4	GND
XP11	A5	GND
XP11	A6	GND
XP11	A7	GND
XP11	A8	GND
XP11	A9	GND
XP11	A10	GND
XP11	C1	GND
XP11	C2	GND
XP11	C3	GND
XP11	C4	GND
XP11	C5	GND
XP11	C6	GND
XP11	C7	GND
XP11	C8	GND
XP11	C9	GND
XP11	C10	GND

Таблица 7. Назначение контактов разъема XP12

Разъем	Контакт	Назначение
XP12	B1	Device_1_nCS
XP12	B2	Device_1_MOSI
XP12	B3	Device_1_SCLK
XP12	B4	NC
XP12	B5	Device_2_nCS
XP12	B6	Device_2_MOSI
XP12	B7	Device_2_SCLK
XP12	B8	GND
XP12	B9	GND
XP12	B10	GND
XP12	D1	PORTA0
XP12	D2	PORTA2
XP12	D3	PORTA4
XP12	D4	PORTA6
XP12	D5	PORTA8
XP12	D6	PORTA10
XP12	D7	PORTA12
XP12	D8	GND
XP12	D9	GND
XP12	D10	GND
XP12	A1	GND
XP12	A2	GND
XP12	A3	GND
XP12	A4	GND
XP12	A5	GND
XP12	A6	GND
XP12	A7	GND
XP12	A8	GND
XP12	A9	GND
XP12	A10	GND
XP12	C1	GND
XP12	C2	GND
XP12	C3	GND
XP12	C4	GND
XP12	C5	GND
XP12	C6	GND
XP12	C7	GND
XP12	C8	GND
XP12	C9	GND
XP12	C10	GND

Порт SPEED_DATA является высокоскоростным портом ввода/вывода, который конфигурируется в зависимости от выбранной микросхемы АЦП. Также он имеет выход тактового сигнала и вход синхронизации.

Порт PORTA является портом ввода/вывода, который конфигурируется в зависимости от выбранной микросхемы АЦП. В своём составе он имеет два интерфейса SPI в режиме Master, который может использоваться для управления периферийным оборудованием, расположенным на оценочной плате АЦП.

Альбом принципиальных электрических схем

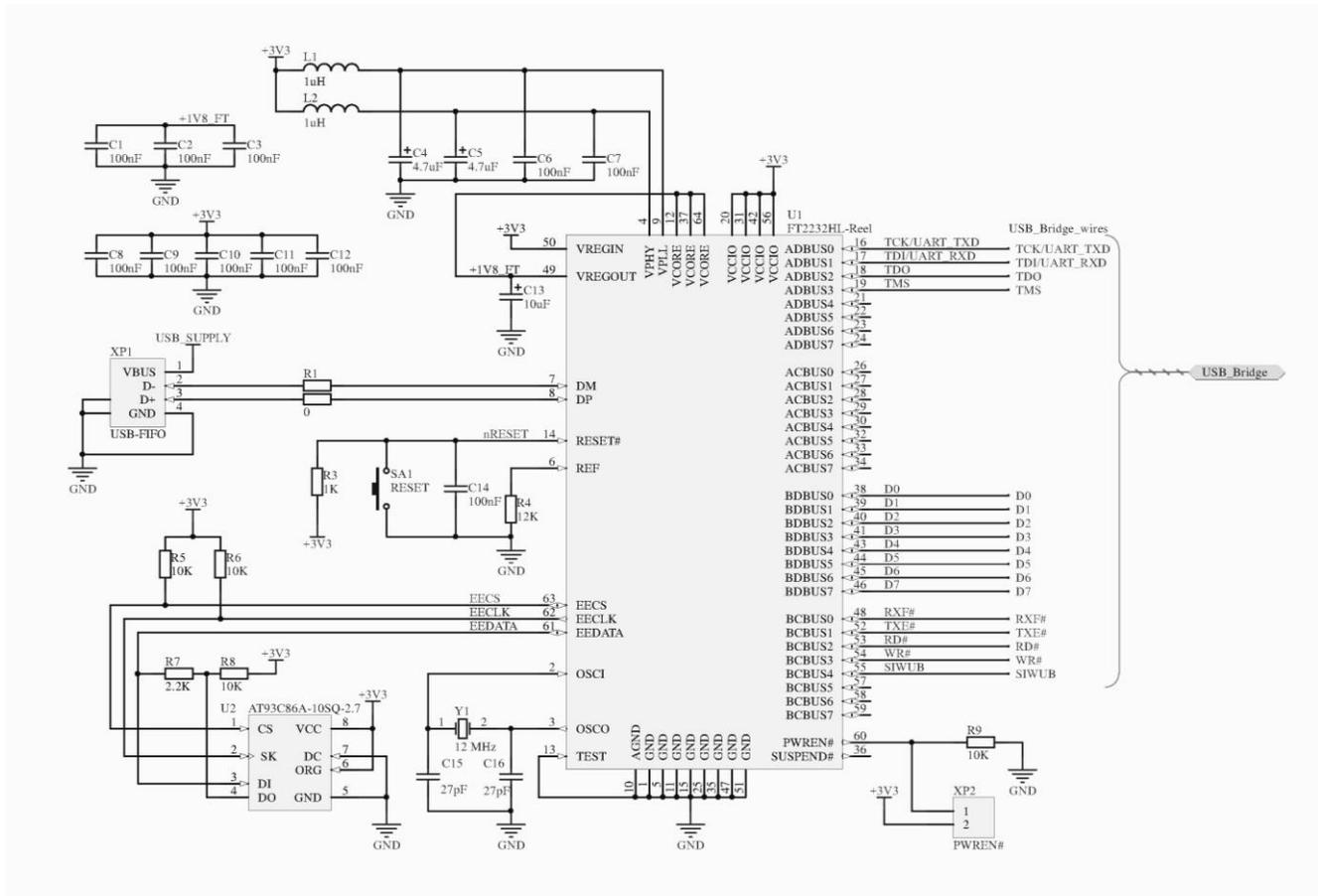


Рис. 3. Принципиальная электрическая схема блока USB-моста

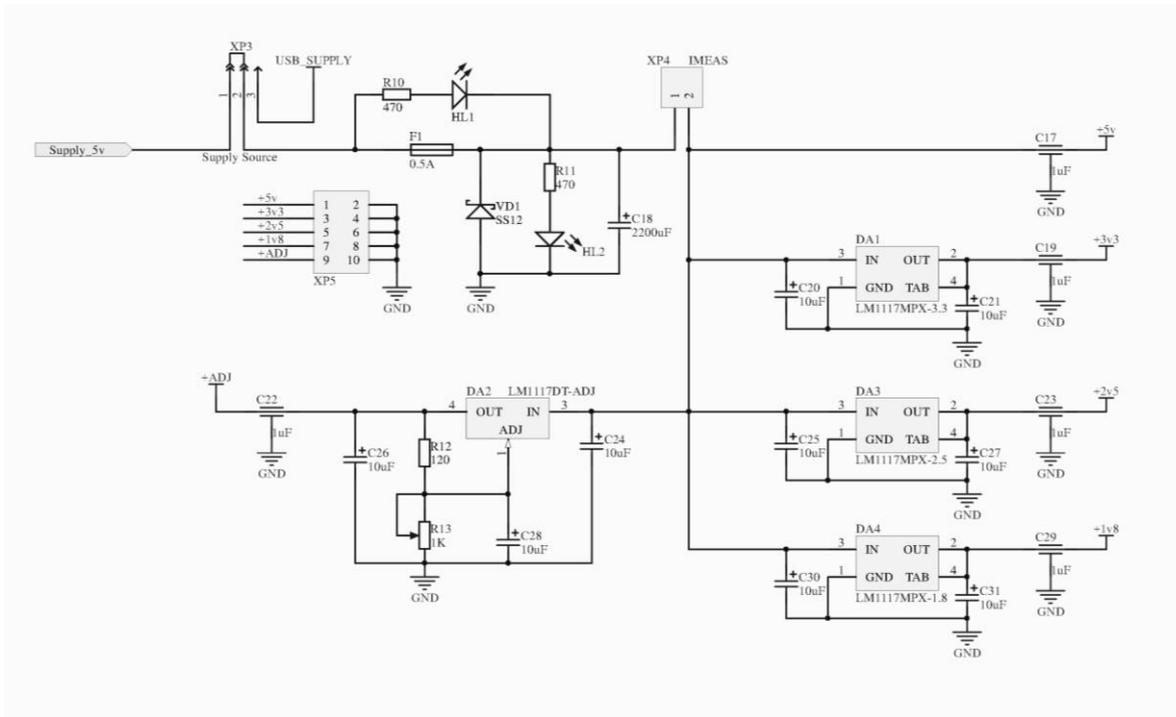


Рис. 4. Принципиальная электрическая схема блока стабилизаторов напряжения

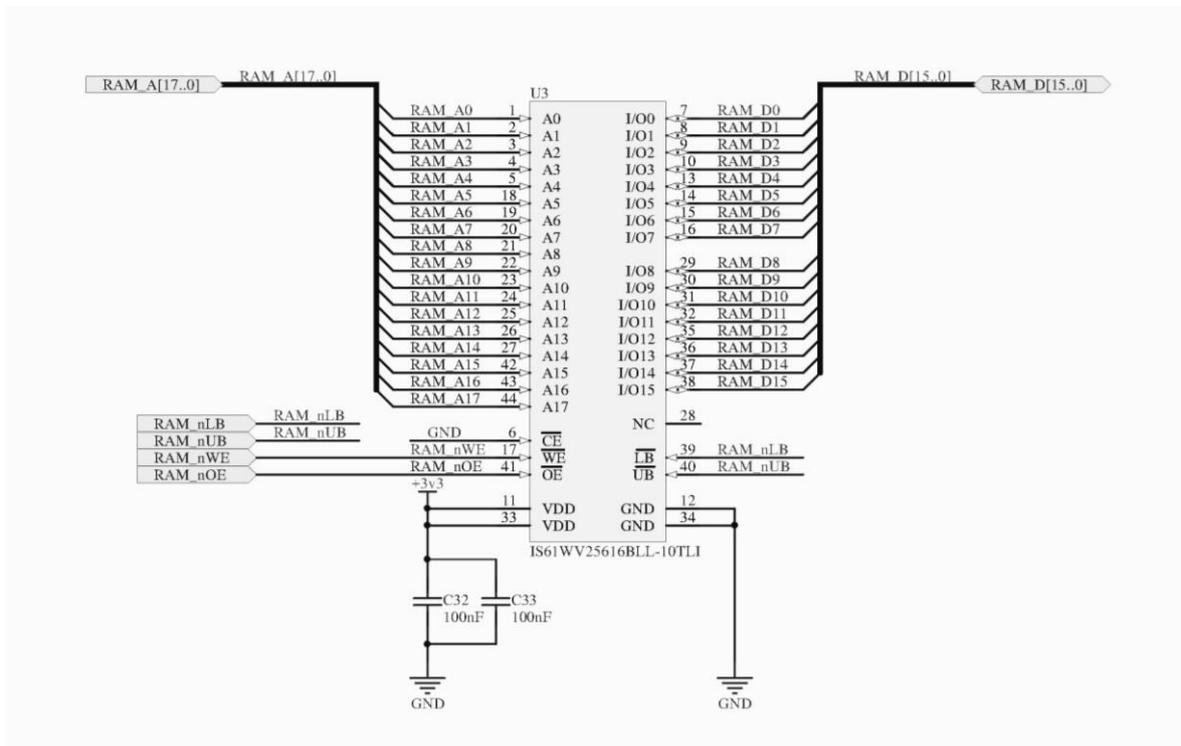


Рис. 5. Принципиальная электрическая схема блока SRAM

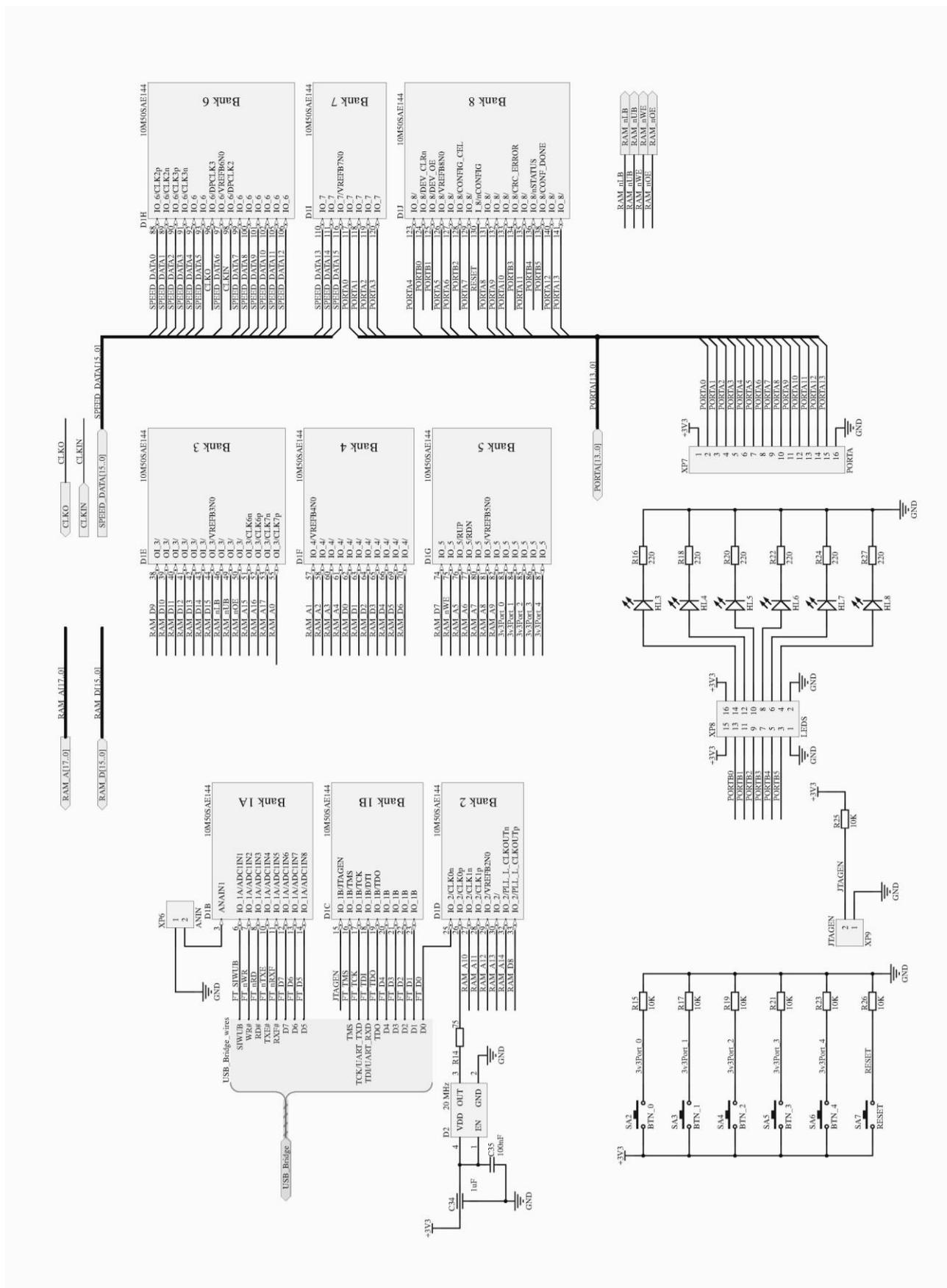


Рис. 6. Принципиальная электрическая схема блока портов

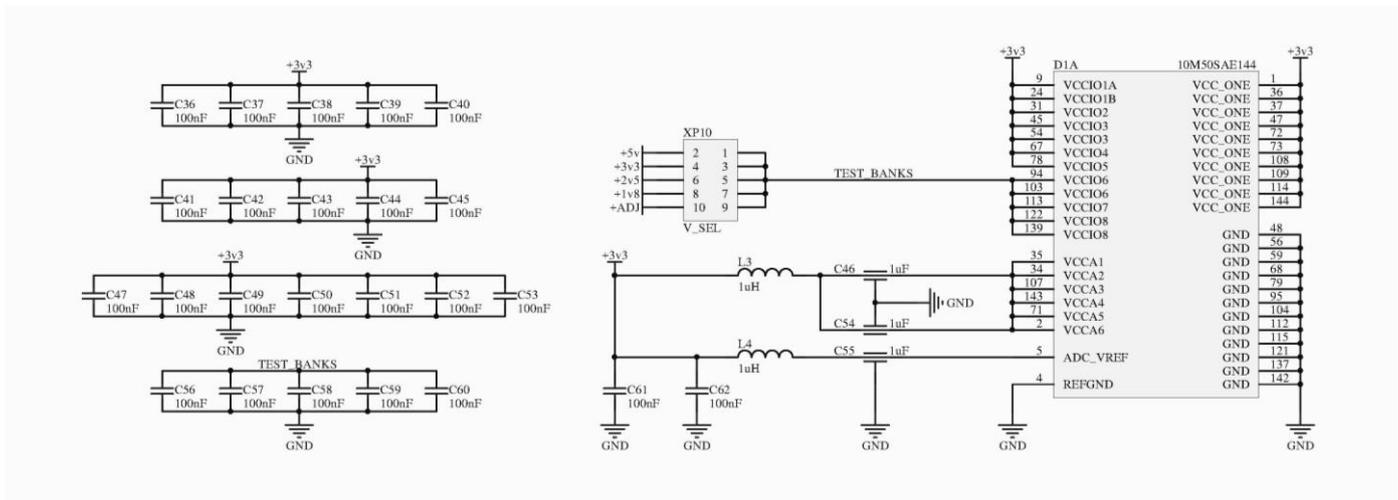


Рис. 7. Принципиальная электрическая схема блока питания микросхемы FPGA

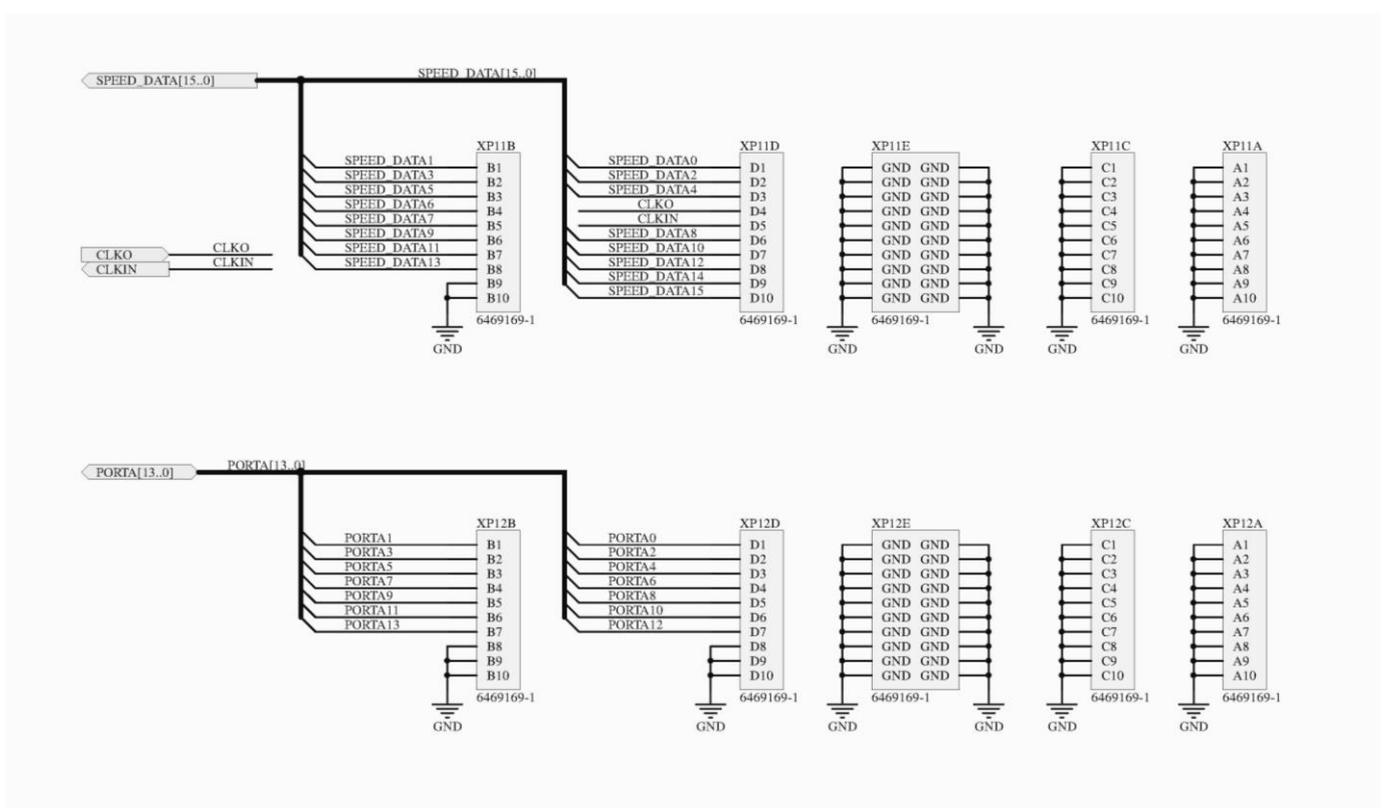


Рис. 8. Принципиальная электрическая схема разъёмного соединения

Чертежи слоев печатной платы

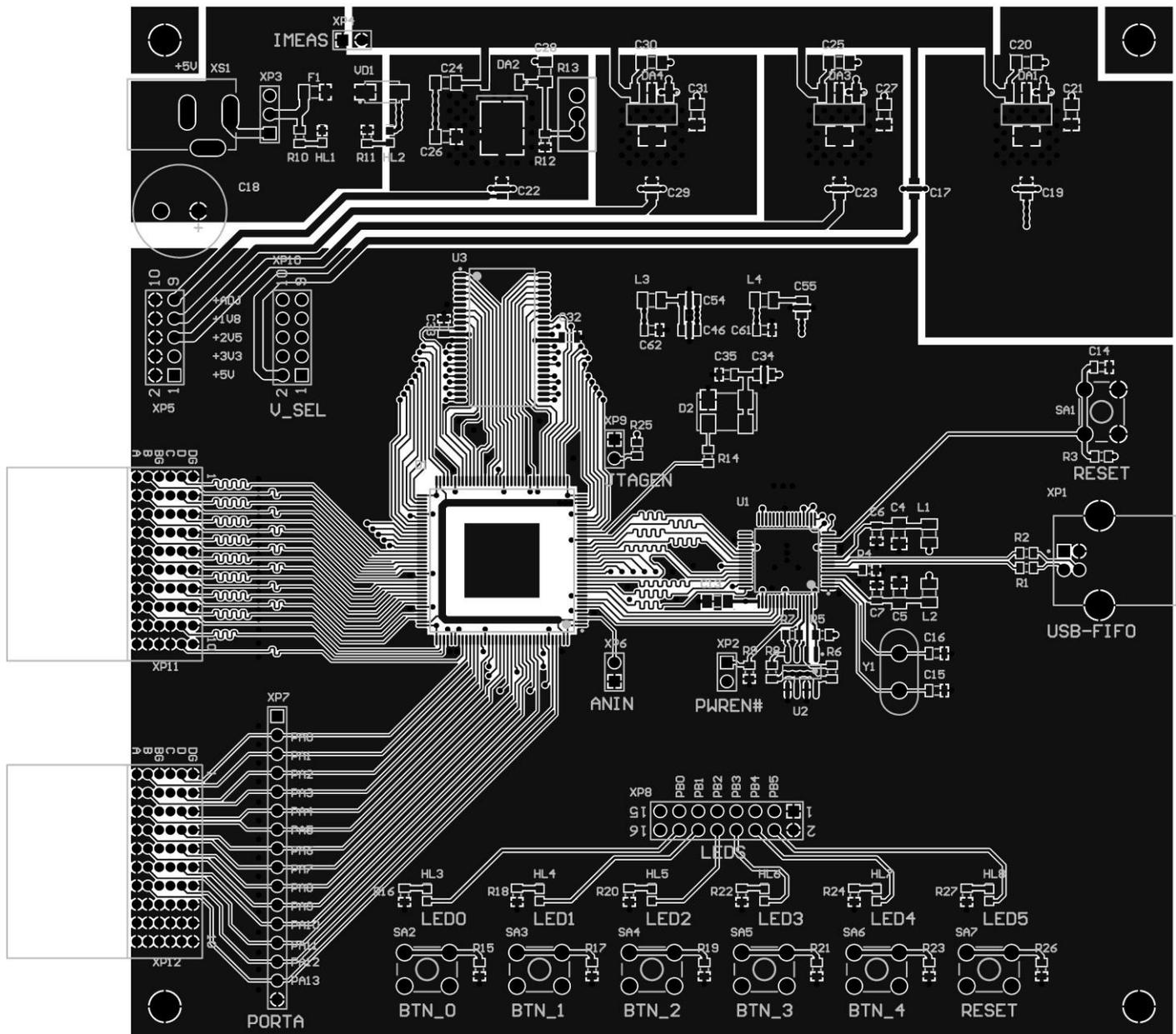


Рис. 9. Чертеж верхнего слоя печатной платы

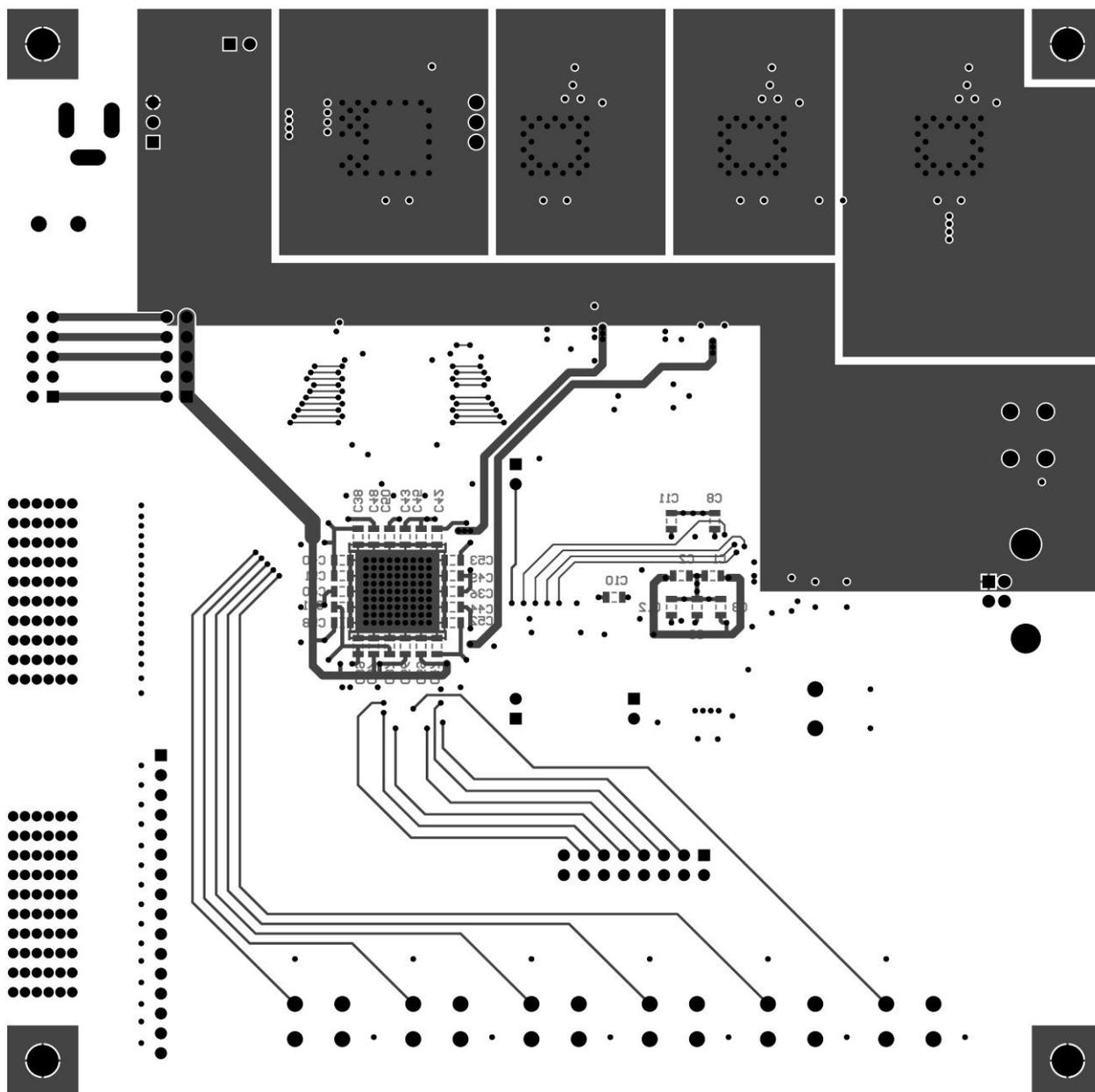


Рис. 10. Чертеж нижнего слоя печатной платы

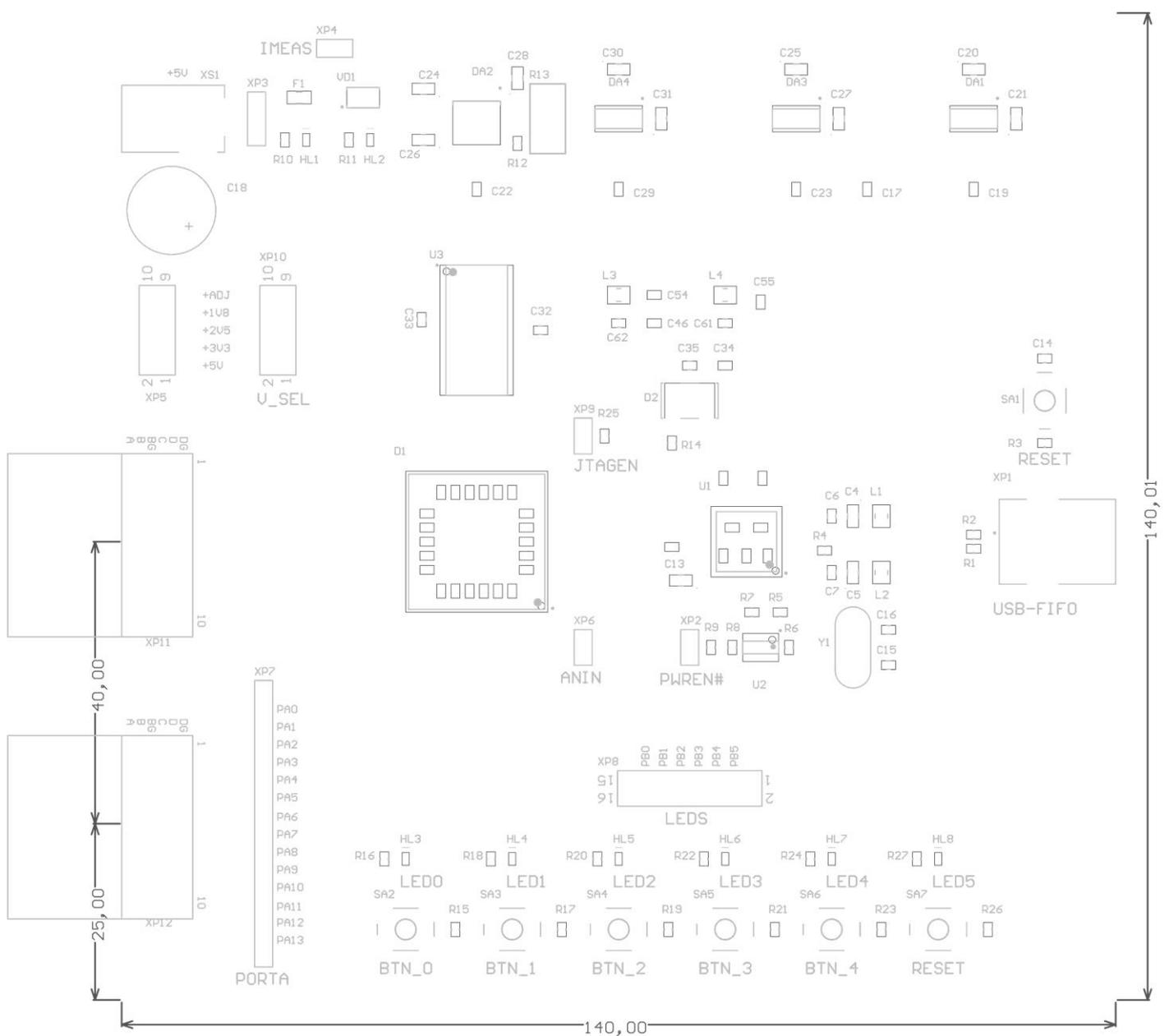


Рис. 11. Сборочный чертёж верхнего слоя платы